

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re the Application of

Tsuyoshi TAMURA

Application No.: 09/911,829

Filed: July 25, 2001



Group Art Unit: 2673

Docket No.: 110196

For: RAM-INCORPORATED DRIVER, AND DISPLAY UNIT AND ELECTRONIC
EQUIPMENT USING THE SAME

CLAIM FOR PRIORITY

Director of the U.S. Patent and Trademark Office
Washington, D.C. 20231

Sir:

The benefit of the filing dates of the following prior foreign applications filed in the following foreign country is hereby requested for the above-identified patent application and the priority provided in 35 U.S.C. §119 is hereby claimed:

Japanese Patent Application No. 11-338146 filed November 29, 1999 and

Japanese Patent Application No. 2000-211079 filed July 12, 2000.

In support of this claim, certified copies of said original foreign applications:

 X are filed herewith.

 were filed on in Parent Application No. filed .

 will be filed at a later date.

It is requested that the file of this application be marked to indicate that the requirements of 35 U.S.C. §119 have been fulfilled and that the Patent and Trademark Office kindly acknowledge receipt of these documents.

Respectfully submitted,

James A. Oliff
Registration No. 27,075

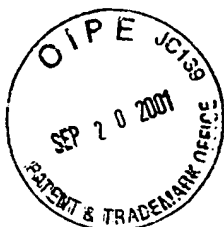
Thomas J. Pardini
Registration No. 30,411

JAO:TJP/kaf

Date: September 20, 2001

OLIFF & BERRIDGE, PLC
P.O. Box 19928
Alexandria, Virginia 22320
Telephone: (703) 836-6400

DEPOSIT ACCOUNT USE
AUTHORIZATION
Please grant any extension
necessary for entry;
Charge any fee due to our
Deposit Account No. 15-0461



日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日
Date of Application:

1999年11月29日

出 願 番 号
Application Number:

平成11年特許願第338146号

出 願 人
Applicant(s):

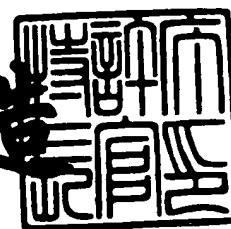
セイコーエプソン株式会社

CERTIFIED COPY OF
PRIORITY DOCUMENT

2001年 8月17日

特許庁長官
Commissioner,
Japan Patent Office

及 川 耕 造



出証番号 出証特2001-3072980

【書類名】 特許願

【整理番号】 EP214501

【提出日】 平成11年11月29日

【あて先】 特許庁長官殿

【国際特許分類】 G09G 3/36
H04N 5/66

【発明者】

【住所又は居所】 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

【氏名】 田村 剛

【特許出願人】

【識別番号】 000002369

【氏名又は名称】 セイコーエプソン株式会社

【代理人】

【識別番号】 100090479

【弁理士】

【氏名又は名称】 井上 一

【電話番号】 03-5397-0891

【選任した代理人】

【識別番号】 100090387

【弁理士】

【氏名又は名称】 布施 行夫

【電話番号】 03-5397-0891

【選任した代理人】

【識別番号】 100090398

【弁理士】

【氏名又は名称】 大渕 美千栄

【電話番号】 03-5397-0891

【手数料の表示】

【予納台帳番号】 039491

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9402500

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 R A M内蔵ドライバ並びにそれを用いた表示ユニットおよび電子機器

【特許請求の範囲】

【請求項 1】 外部M P Uからのコマンド、静止画データおよび動画データに基づいて表示部を表示駆動するR A M内蔵ドライバにおいて、

前記外部M P Uからの前記静止画データを伝送する第 1 のバスラインと、

前記外部M P Uからの前記動画データを伝送する第 2 のバスラインと、

前記静止画データおよび前記動画データを記憶するR A Mと、

前記静止画データを書き込むための前記R A Mのカラムアドレスを指定する第 1 のカラムアドレス制御回路と、

前記動画データを書き込むための前記R A Mのカラムアドレスを指定する第 2 のカラムアドレス制御回路と、

前記静止画データを書き込むための前記R A Mのページアドレスを指定する第 1 のページアドレス制御回路と、

前記動画データを書き込むための前記R A Mのページアドレスを指定する第 2 のページアドレス制御回路と、

前記外部M P Uからの前記コマンドに基づいて、前記第 1, 第 2 のカラムアドレス制御回路および前記第 1, 第 2 のページアドレス制御回路を制御するM P U系制御回路と、

前記R A Mに記憶された前記静止画データおよび前記動画データを、表示データとして読み出し制御する表示アドレス制御回路と、

前記M P U系制御回路とは独立して、前記表示アドレス制御回路を制御するドライバ系制御回路と、

を有することを特徴とするR A M内蔵ドライバ。

【請求項 2】 請求項 1 において、

前記R A Mのメモリセルに接続された第 1 の一対のビット線と、

前記R A Mのメモリセルに接続された第 2 の一対のビット線と、

前記第 1 のカラムアドレス制御回路に制御されて前記第 1 の一対のビット線と前記第 1 のバスラインとを接続する第 1 のカラムスイッチと、

前記第 2 のカラムアドレス制御回路に制御されて前記第 2 の一対のビット線と前記第 2 のバスラインとを接続する第 2 のカラムスイッチと、

前記メモリセル内のメモリ素子と前記第 1 の一対のビット線との間に設けられた第 1 のスイッチの制御端子に、前記第 1 のページアドレス制御回路からの信号を伝送する第 1 のワード線と、

前記メモリ素子と前記第 2 の一対のビット線との間に設けられた第 2 のスイッチの制御端子に、前記第 2 のページアドレス制御回路からの信号を伝送する第 2 のワード線と、

を有することを特徴とする RAM 内蔵ドライバ。

【請求項 3】 請求項 1 において、

前記 RAM は、前記第 1 のバスラインを経由した前記静止画データを記憶する第 1 の RAM と、前記第 2 のバスラインを経由した前記動画データを記憶する第 2 の RAM とを有し、

前記表示アドレス制御回路は、前記第 1 の RAM からの静止画データを表示データとして読み出し制御する第 1 の表示アドレス制御回路と、前記第 2 の RAM からの動画データを表示データとして読み出し制御する第 2 の表示アドレス制御回路とを有し、

前記第 1 の RAM は、前記第 1 のカラムアドレス制御回路および前記第 1 のページアドレス制御回路により書き込みアドレスが制御され、

前記第 2 の RAM は、前記第 2 のカラムアドレス制御回路および前記第 2 のページアドレス制御回路により書き込みアドレスが制御されることを特徴とする RAM 内蔵ドライバ。

【請求項 4】 請求項 1 乃至 3 のいずれかにおいて、

前記第 1 のカラムアドレス制御回路は、前記 MPU 系制御回路からの信号に基づいて、前記 RAM の読み出しカラムアドレスを指定し、

前記第 1 のページアドレス制御回路は、前記 MPU 系制御回路からの信号に基づいて、前記 RAM の読み出しページアドレスを指定することを特徴とする RA

M内蔵ドライバ。

【請求項 5】 複数の第 1 の電極と複数の第 2 の電極により駆動される電気光学素子を有するパネルと、

前記複数の第 1 の電極を駆動する請求項 1 乃至 4 のいずれかに記載の R A M内蔵ドライバと、

前記複数の第 2 の電極を走査駆動する走査駆動ドライバと、

を有することを特徴とする表示ユニット。

【請求項 6】 請求項 5 に記載の表示ユニットと、

前記表示ユニットに前記コマンド、前記静止画データおよび前記動画データを供給する M P U と、

を有することを特徴とする電子機器。

【発明の詳細な説明】

【 0 0 0 1 】

【発明の属する技術分野】

本発明は、一画面内に静止画および動画を表示駆動する R A M内蔵ドライバ並びにそれを用いた表示ユニットおよび電子機器に関する。

【 0 0 0 2 】

【背景技術および発明が解決しようとする課題】

例えば携帯電話機を例に挙げれば、M P E G (Moving Picture Experts Group) の規格により圧縮して符号化された画像データを受信または送信する技術が提案されている。

【 0 0 0 3 】

この場合、携帯電話機の表示部には、例えば図 3 に示す液晶パネル 2 2 には、受信された動画が動画表示領域 2 2 A に表示される。一方、液晶パネル 2 2 の静止画表示領域 2 2 B には、例えばその動画に関する説明、操作情報などの静止画が表示される。

【 0 0 0 4 】

動画表示領域 2 2 A に動画を表示するためには、液晶ドライバ内の R A Mの記憶領域のうち、動画表示領域 2 2 A と対応する動画記憶領域にて、リアルタイム

で動画データを書き換える必要がある。

【0005】

一方、静止画表示領域 2 2 B に表示される静止画は、携帯電話機のキー操作時等に応じて変更され、RAM の記憶領域のうち、静止画表示領域 2 2 B と対応する静止画記憶領域の静止画データを書き換える必要が生じる。

【0006】

しかし、RAM の静止画記憶領域にて静止画データを書き換えるには、リアルタイムで動画データが伝送されるバスラインを使用して、一画面の動画データと次の一画面の動画データを伝送する間の隙間を利用するしかない。

【0007】

このように、動画データの画面間の限られた時間内で静止画データを伝送することは、動画データおよび静止画データを表示ユニットに供給するMPU の動作時間を拘束し、表示ユニット以外の回路も制御するMPU の動作上の時間的制約などが大きくなる。

【0008】

そこで、本発明の目的は、RAM に対する動画データの書き換えタイミングとは無関係に、静止画データを書き換えることが可能なRAM 内蔵ドライバ並びにそれを用いた表示ユニットおよび電子機器を提供することにある。

【0009】

【課題を解決するための手段】

本発明の一態様に係るRAM 内蔵ドライバは、外部MPU からのコマンド、静止画データおよび動画データに基づいて表示部を表示駆動するものである。

【0010】

このRAM 内蔵ドライバは、外部MPU からの静止画データを伝送する第 1 のバスラインと、外部MPU からの動画データを伝送する第 2 のバスラインと、静止画データおよび動画データを記憶するRAM と、静止画データを書き込むためのRAM のカラムアドレスを指定する第 1 のカラムアドレス制御回路と、動画データを書き込むためのRAM のカラムアドレスを指定する第 2 のカラムアドレス制御回路と、静止画データを書き込むためのRAM のページアドレスを指定する

第 1 のページアドレス制御回路と、動画データを書き込むための R A M のページアドレスを指定する第 2 のページアドレス制御回路と、外部 M P U からの前記コマンドに基づいて、第 1, 第 2 のカラムアドレス制御回路および第 1, 第 2 のページアドレス制御回路を制御する M P U 系制御回路と、R A M に記憶された静止画データおよび動画データを、表示データとして読み出し制御する表示アドレス制御回路と、M P U 系制御回路とは独立して、表示アドレス制御回路を制御するドライバ系制御回路とを有する。

【 0 0 1 1 】

本発明の一形態によれば、静止画、動画は第 1, 第 2 のバスラインにより別系統にて伝送される。また、R A M にデータを書き込むためのカラムおよびページアドレスも、静止画と動画とで別系統で指定される。

【 0 0 1 2 】

このため、動画データを R A M に書き換えながら、同時に静止画データを書き換えることができ、動画データの書き込みの終了を待って静止画データを書き込む必要がない。

【 0 0 1 3 】

本発明の一形態に係る R A M 内蔵ドライバでは、R A M のメモリセルに接続された第 1 の一对のビット線と、R A M のメモリセルに接続された第 2 の一对のビット線と、第 1 のカラムアドレス制御回路に制御されて第 1 の一对のビット線と第 1 のバスラインとを接続する第 1 のカラムスイッチと、第 2 のカラムアドレス制御回路に制御されて第 2 の一对のビット線と第 2 のバスラインとを接続する第 2 のカラムスイッチと、メモリセル内のメモリ素子と第 1 の一对のビット線との間に設けられた第 1 のスイッチの制御端子に、前記第 1 のページアドレス制御回路からの信号を伝送する第 1 のワード線と、メモリ素子と第 2 の一对のビット線との間に設けられた第 2 のスイッチの制御端子に、前記第 2 のページアドレス制御回路からの信号を伝送する第 2 のワード線とを設けることができる。

【 0 0 1 4 】

このように、静止画用と動画用とでポートを異ならせたデュアルポートとして
いる。すなわち、第 1 のカラムアドレス制御回路および第 1 のページアドレス制

御回路にて指定されるメモリセルに、第 1 のビット線対を経由して静止画データを書き込み可能としている。また、第 2 のカラムアドレス制御回路および第 2 のページアドレス制御回路にて指定されるメモリセルに、第 2 のビット線対を経由して動画データを書き込み可能としている。こうして、RAM の記憶領域を拡大せずに、静止画データおよび動画データを任意のセルに書き込むことが可能となる。

【0015】

本発明の一形態に係る RAM 内蔵ドライバでは、RAM として、第 1 のバスラインを経由した静止画データを記憶する第 1 の RAM と、第 2 のバスラインを経由した前記動画データを記憶する第 2 の RAM とを設けても良い。この場合、表示アドレス制御回路は、第 1 の RAM からの静止画データを表示データとして読み出し制御する第 1 の表示アドレス制御回路と、第 2 の RAM からの動画データを表示データとして読み出し制御する第 2 の表示アドレス制御回路とを有する。また、第 1 の RAM は、第 1 のカラムアドレス制御回路および第 1 のページアドレス制御回路により書き込みアドレスが制御され、第 2 の RAM は、第 2 のカラムアドレス制御回路および第 2 のページアドレス制御回路により書き込みアドレスが制御される。

【0016】

このように、静止画データ用の第 1 の RAM と、動画データ用の第 2 の RAM を有することで記憶領域は拡大されるが、動画データを第 2 の RAM にて書き換えながら、同時に静止画データを第 1 の RAM にて書き換えることができる。

【0017】

本発明の一形態では、第 1 のカラムアドレス制御回路は、MPU 系制御回路からの信号に基づいて、RAM の読み出しカラムアドレスを指定し、第 1 のページアドレス制御回路は、MPU 系制御回路からの信号に基づいて、RAM の読み出しページアドレスを指定するように構成できる。

【0018】

こうすると、一旦 RAM に書き込まれたデータを外部 MPU に向けて読み出すことが可能となる。

【 0 0 1 9 】

本発明の他の形態に係る表示ユニットは、複数の第 1 の電極と複数の第 2 の電極により駆動される電気光学素子を有するパネルと、複数の第 1 の電極を駆動する本発明の一形態に係る R A M 内蔵ドライバと、複数の第 2 の電極を走査駆動する走査駆動ドライバとを有する。

【 0 0 2 0 】

この表示ユニットは、静止画および動画の混合表示を、外部 M P U の負担を軽減しながら実現することができる。

【 0 0 2 1 】

本発明のさらに他の態様に係る電子機器は、本発明の他の形態に係る表示ユニットと、表示ユニットにコマンド、静止画データおよび動画データを供給する M P U とを有する。

【 0 0 2 2 】

この電子機器、表示ユニットでの静止画および動画の混合表示に際して M P U の負担が軽減されるので、M P U の稼働効率を高めることができる。

【 0 0 2 3 】

【発明の実施の形態】

以下、本発明の実施の形態について図面を参照して説明する。

【 0 0 2 4 】

< 第 1 の実施の形態 >

以下、本発明の第 1 の実施の形態について、図 1 ～図 7 を参照して説明する。

【 0 0 2 5 】

(電子機器の説明)

図 1 は、本発明が適用される電子機器の概略ブロック図である。図 1 において、この電子機器は、M P U (マイクロプロセッサユニット) 1 0 と、表示ユニット 2 0 とから構成される。表示ユニット 2 0 は、電気光学素子を有するマトリクスパネル例えばカラー液晶パネル 2 2 と、この液晶パネル 2 2 を駆動する R A M 内蔵の X ドライバ I C 2 4 と、走査用の Y ドライバ I C 2 6 とを有する。

【 0 0 2 6 】

マトリクスパネル 2 2 は、電圧印加によって光学特性が変化する液晶その他の電気光学素子を用いたものであればよい。液晶パネル 2 2 としては、例えば単純マトリクスパネルで構成でき、この場合、複数のセグメント電極（第 1 の電極）が形成された第 1 基板と、コモン電極（第 2 の電極）が形成された第 2 基板との間に、液晶が封入される。液晶パネル 2 2 は薄膜トランジスタ（T F T）、薄膜ダイオード（T F D）等の三端子素子、二端子素子を用いたアクティブマトリクスパネルであっても良い。これらのアクティブマトリクスパネルも、R A M 内蔵 X ドライバ I C 2 4 により駆動される複数の信号電極（第 1 の電極）と、Y ドライバ I C 2 6 により走査駆動される複数の走査電極（第 2 の電極）を有する。

【 0 0 2 7 】

液晶パネル 2 2 には静止画と動画とを同時に表示可能である。この場合、図 1 に示すように、画像サイズによって定められる動画表示領域 2 2 A と、それ以外の静止画表示領域（テキストデータ表示領域） 2 2 B の各領域が液晶パネル 2 2 に設定される。

【 0 0 2 8 】

M P U 1 0 から表示ユニット 2 0 には、図 1 に示すように、大別して表示コマンド／静止画データと、動画データとが供給される。表示コマンドとして代表的なものに、コマンド／データの区別を示す信号 A 0、反転リセット信号 X R E S、反転チップセレクト信号 X C S、反転リード信号 X R D および反転ライト信号 X W R 等がある。データ D 7 ～ D 0 は 8 ビットのコマンドデータ（静止画および動画用アドレスデータを含む）または静止画データであり、コマンド／データ識別信号 A 0 の論理によって区別されている。動画データは例えば各 6 ビットの R、G、B 信号であり、クロック信号 C L K、水平・垂直同期信号 H・V s y n c 等も供給される。

【 0 0 2 9 】

このように、本実施の形態では、表示コマンド／静止画データののためのバスと、動画データののためのバスとが分離されている。

【 0 0 3 0 】

図 2 は、図 1 の M P U 1 0 および表示ユニット 2 0 を携帯電話機 3 0 に搭載し

た例を示している。図 2 に示す MPU 1 0 は、携帯電話機 3 0 の制御を司る CPU 1 2 を有し、この CPU 1 2 には静止画用メモリ 1 4、DSP（デジタル・シグナル・プロセッサ）1 6 が接続されている。また、DSP 1 6 には動画用メモリ 1 8 が接続されている。

【0 0 3 1】

この携帯電話機 3 0 には、アンテナ 3 2 を介して受信された信号を復調し、あるいはアンテナ 3 2 を介して送信される信号を変調する変復調回路 3 4 が設けられている。そして、アンテナ 3 2 からは、例えば MPEG（Moving Picture Experts Group）のレイヤー IV の規格にて符号化された動画データを送受信可能となっている。

【0 0 3 2】

この携帯電話機 3 0 には、例えばデジタルビデオカメラ 3 6 を設けることもできる。このデジタルビデオカメラ 3 6 を介して動画データを取り込むことができる。携帯電話機 3 0 でのデータ送受信、デジタルビデオカメラ 3 6 での撮影などに必要な操作情報は、操作入力部 3 8 を介して入力される。

【0 0 3 3】

MPU 1 0 に設けられた CPU 1 2 は、液晶パネル 2 2 の動画表示領域 2 2 A に動画を表示する際には、その動画のサイズを動画情報から決定する。すなわち、図 1 に示す動画のスタートアドレス SA 及びエンドアドレス EA を決定する。なお、図 3 に示すように動画表示領域 2 2 A と静止画表示領域 2 2 B とを例えば上下でライン分割しても良く、この場合も同様にスタートアドレス SA、エンドアドレス EA が動画のサイズから決定される。

【0 0 3 4】

この動画表示領域 2 2 A に表示される動画は、本実施の形態ではアンテナ 3 2 またはデジタルビデオカメラ 3 6 から供給される。アンテナ 3 2 から入される信号は、変復調回路 3 4 を介して復調されて DSP 1 6 にて信号処理される。この DSP 1 6 は動画処理用メモリ 1 8 と接続され、アンテナ 3 2、変復調回路 3 4 を介して入力される圧縮データを伸張し、また MPEG のレイヤー IV の規格にて符号化されているデータについてはデコードする。変復調回路 3 4、アンテナ

3 2 を介して送信されるデータは D S P 1 6 にて圧縮され、M P E G のレイヤー IV の規格にて符号化して送信する場合にはエンコードされる。このように D S P 1 6 は、M P E G の例えばレイヤー IV のデコーダ、エンコーダとしての機能を有することができる。

【 0 0 3 5 】

この D S P 1 6 にはデジタルビデオカメラ 3 6 からの信号も入力され、アンテナ 3 2 またはデジタルビデオカメラ 3 6 より入力された信号は、D S P 1 6 にて R G B 信号に処理されて表示ユニット 2 0 に供給される。

【 0 0 3 6 】

C P U 1 2 は、操作入力部 3 8 からの情報等に基づき、必要により静止画用メモリ 1 4 を用いて、液晶パネル 2 2 に表示される静止画の表示に必要なコマンド、静止画データを表示ユニット 2 0 に出力する。

【 0 0 3 7 】

例えば、動画はインターネットを經由して配信された映画情報であり、その劇場チケットを予約するための情報が静止画として表示され、操作入力部 3 8 からの情報に基づいてチケット予約が実施される。このため、C P U 1 2 はさらに、変復調回路 3 4、アンテナ 3 2 を介して静止画情報（例えば予約情報）を送出制御する。また C P U 1 2 は、必要により、デジタルビデオカメラ 3 6 にて撮影された動画情報を、変復調回路 3 4、アンテナ 3 2 を介して送付制御することができる。

【 0 0 3 8 】

（Xドライバ I C の説明）

図 4 は図 1 に示す R A M 内蔵 X ドライバ I C 2 4 のブロック図である。図 4 に示す R A M 内蔵 X ドライバ I C 2 4 の入出力回路として、M P U インターフェース 1 0 0 と入出力バッファ 1 0 2、入力バッファ 1 0 4 が設けられている。

【 0 0 3 9 】

M P U インターフェース 1 0 0 には、反転チップセレクト信号 X C S、コマンド／データの識別信号 A 0、反転リード信号 X R D、反転ライト信号 X W R、反転リセット信号 X R E S などが入力される。

【0040】

入出力バッファ102には、例えば8ビットのコマンドまたは静止画データD7～D0が入力される。なお、図4では信号D7～D0は平行で入出力される例を示しているが、XドライバIC24内の表示データRAM160からMPU10にデータを読み出す必要がない場合には、先頭ビットを識別信号A0とし、それに続く信号D7～D0をシリアルで入出力してもよい。こうすると、MPU10及びXドライバIC12の端子数を減らすことができる。

【0041】

入力バッファ104には、例えば各6ビットのR、G、B信号からなる動画データと、クロック信号CLKとが入力される。各6ビットのR、G、B信号は、クロック信号CLKに同期して平行で入出力される。

【0042】

XドライバIC24には、MPUインターフェース100及び入出力バッファ102に接続された第1のバスライン110と、入力バッファ104に接続された第2のバスライン120とが設けられている。

【0043】

第1のバスライン110にはバスホールド112とコマンドデコーダ114とが接続され、第2のバスライン120にはバスホールド122が接続されている。なお、入出力バッファ102にはステータス設定回路116が接続され、XドライバIC24の動作状態がMPU10に出力されるようになっている。

【0044】

第1、第2のバスライン110、120は共に、表示データRAM160のI/Oバッファ162に接続され、表示データRAM160に対してリード、ライトされる静止画データ及び動画データが伝送される。

【0045】

XドライバIC24には、上述した表示データRAM160、I/Oバッファ162の他に、MPU系制御回路130、カラムアドレス制御回路140、ページアドレス制御回路150、ドライバ系制御回路170、PMWデコード回路180及び液晶駆動回路190などが設けられている。

【 0 0 4 6 】

MPU系制御回路 1 3 0 は、コマンドデコーダ 1 1 4 を介して入力される MPU 1 0 のコマンドに基づいて、表示データ RAM 1 6 0 に対するリード、ライト動作を制御する。この MPU 系制御回路 1 3 0 により制御されるカラムアドレス制御回路 1 4 0 及びページアドレス制御回路 1 5 0 が設けられている。本実施の形態では、カラムアドレス制御回路 1 4 0 は、静止画データの書き込みカラムアドレスと静止画及び動画データの読み出しカラムアドレスを指定する第 1 のカラムアドレス制御回路 1 4 2 と、動画データの書き込みカラムアドレスを指定する第 2 のカラムアドレス制御回路 1 4 4 とを有する。ページアドレス制御回路 1 5 0 は、静止画データの書き込みページアドレスと静止画及び動画データの読み出しページアドレスとを指定する第 1 のページアドレス制御回路 1 5 2 と、動画データの書き込みページアドレスを指定する第 2 のページアドレス制御回路 1 5 4 とを有する。なお、図 4 では図示していないが、MPU 1 0 からの垂直、水平同期信号 $H \cdot Vsync$ が MPU 系制御回路 1 3 0 に入力される。水平同期信号 $Hsync$ は、動画データの書き込みの際のノイズ等の誤書き込みによる表示ずれ等を極力抑えるために、第 2 のカラム・ページアドレス制御回路 1 4 4, 1 5 4 内に設けられたカウンタのセット、リセットに用いられる。さらに、水平・垂直同期信号 $H \cdot Vsync$ は、カラムアドレス、ページアドレスをスタートアドレス SA に戻すために用いられる。また、ページアドレス制御回路 1 5 0 は、ドライバ系制御回路 1 7 0 により制御されて 1 ライン毎に表示アドレスを指定する表示アドレス制御回路 1 5 6 を含んでいる。

【 0 0 4 7 】

ドライバ系制御回路 1 7 0 は、Xドライバ系制御回路 1 7 2 及び Yドライバ系制御回路 1 7 4 を含む。このドライバ系制御回路 1 7 0 は、発振回路 1 7 6 からの発振出力に基づいて階調制御パルス GCP、極性反転信号 FR、ラッチパルス LPなどを発生し、MPU系制御回路 1 3 0 とは独立して、表示アドレス制御回路 1 5 6、PWMデコード回路 1 8 0、電源制御回路 1 7 8 および Yドライ IC 2 6 を制御する。

【 0 0 4 8 】

PWMデコード回路180は、表示データRAM160より1ライン毎に読み出されるデータをラッチして、極性反転周期に従って階調値に応じたパルス幅の信号を出力する。液晶駆動回路190は、PWMデコード回路180からの信号を、LCD表示系の電圧に応じた電圧にシフトさせ、図1に示す液晶パネル20のセグメント電極SEGに供給する。

【0049】

(表示データRAMおよびその周辺回路の説明)

図5は表示データRAM160およびその周辺回路の概略回路図である。図5には、第1、第2のカラムアドレス制御回路142、144、第1、第2のページアドレス制御回路152、154および表示アドレス制御回路156のそれぞれの最終段に設けられた第1、第2のカラムアドレスデコーダ142A、144A、第1、第2のページアドレスデコーダ152A、154Aおよび表示アドレスデコーダ156Aが示されている。

【0050】

図5にはさらに、第1、第2行目のメモリセルC10、C11…、C20、C21…が示されている。そして、図5に示す各メモリセルには、第1～第3のワード線W1～W3と、第1のビット線対B1、 \neg B1と、第2のビット線対B2、 \neg B2とが接続されている。

【0051】

第1のカラムアドレスデコーダ142Aは、第1のビット線対B1、 \neg B1に接続された第1のカラムスイッチSW1をオン、オフさせる信号を出力する。第2のカラムアドレスデコーダ144Aは、第2のビット線対B2、 \neg B2に接続された第2のカラムスイッチSW2をオン、オフさせる信号を出力する。第1のページアドレスデコーダ152Aは第1のワード線W1を、第2のページアドレスデコーダ154Aは第2のワード線W2を、表示アドレスデコーダ156Aは第3のワードラインW3を、それぞれをアクティブとする信号を供給する。

【0052】

従来技術と比較すると、本実施の形態では、第2のワード線W2と、第2のビット線対B2、 \neg B2と、第2のカラムスイッチSW2と、第2のカラムアドレ

ステコーダ 1 4 4 A と、第 2 のページアドレスデコーダ 1 5 4 A とが新たに設けられている。

【 0 0 5 3 】

第 2 のカラムおよびページアドレスデコーダ 1 4 4 A, 1 5 4 A は、動画データ (R, G, B) を書き込むためのカラムおよびページアドレスを指定する場合にのみ用いられ、このアドレス指定により第 2 のバスライン 1 2 0、第 2 のカラムスイッチ SW 2 を介して、動画データ (R, G, B) がメモリセルに書き込まれる。

【 0 0 5 4 】

第 1 のカラムおよびページアドレスデコーダ 1 4 2 A, 1 5 2 A は、静止画データを書き込む時と、静止画および動画データを読み出す時に、カラムおよびページアドレスを指定する。このアドレス指定により第 1 のバスライン 1 2 0、第 1 のカラムスイッチ SW 1 を介して、表示データ RAM 1 6 0 に対してデータがリード・ライトされる。

【 0 0 5 5 】

表示アドレスデコーダ 1 5 6 A は、第 3 のワード線 W 3 を順次 1 本ずつアクティブにすることで、1 ライン上の全メモリセルのデータを表示データ出力線 O U T に読み出すものである。この読み出しデータが図 4 に示す PWM デコーダ回路 1 8 0 に供給されて液晶駆動に供される。

【 0 0 5 6 】

(メモリセルの構成について)

図 6 は表示データ RAM 1 6 0 内のメモリセル C 1 0 を示す回路図である。メモリセル C 1 0 は、他のメモリセルと同一の構成を有する。このメモリセル C 1 0 は、2 つの CMOS インバータ 2 1 0, 2 0 2 にて構成されるメモリ素子 2 0 0 を有する。2 つの MOS インバータ 2 0 1, 2 0 2 は、その入出力同士を互いに接続する第 1, 第 2 の配線 2 0 4, 2 0 6 を有する。第 1 配線 2 0 4 とビット線 B 1 との間には第 1 の N 型 MOS トランジスタ 2 1 0 (第 1 のスイッチ) が接続され、そのゲートは第 1 のワード線 W 1 に接続されている。同様に、第 2 配線 2 0 6 とビット線 B 1 との間には第 2 の N 型 MOS トランジスタ 2 1 2 (第 1

のスイッチ)が接続され、そのゲートは第1のワード線W1に接続されている。

【0057】

以上の構成により、第1のページアドレスデコーダ152Aからのアクティブ信号により第1のワード線W1が“H”となると、第1、第2のN型トランジスタ210、212がオンされる。これにより、メモリセルC10は第1の一对のビット線B1、 $\overline{B1}$ と接続される。このとき、第1のカラムアドレスデコーダ142Aからアクティブ信号により第1のカラムスイッチSW1がオンしていると、メモリセルC10に対するデータのリード・ライトが可能となる。

【0058】

また、電源供給線VDDと表示データ出力線OUTとの間には第1、第2のP型MOSトランジスタ220、222が接続されている。第1のP型MOSトランジスタ220のゲートは第2の配線206に接続され、第2のP型MOSトランジスタ222のゲートは第3のワード線W3に接続されている。

【0059】

メモリセルC10のデータを表示データ出力線OUTに読み出す前に、この表示データ出力線OUTは“L”にプリチャージされている。このプリチャージ動作後に第3のワード線W3を“L”として第2のP型MOSトランジスタ222をオンさせた状態で、表示データ出力線OUTのデータがPWMデコーダ回路180にてラッチされる。このとき、第2の配線206の電位が“H”(第1の配線204の電位が“L”)であれば表示データ出力線OUTは“L”のままであり、第2の配線206の電位が“L”(第1の配線204の電位が“H”)であれば表示データ出力線OUTは“H”となる。このようにして、表示データRAM160からの表示データの読み出しを1ライン同時に行うことができる。

【0060】

本実施の形態ではさらに、第2のワード線W2と第2のビット線対B2、 $\overline{B2}$ とが設けられている。このため、第1配線204とビット線B2との間には第3のN型MOSトランジスタ230(第2のスイッチ)が接続され、そのゲートは第2のワード線W2に接続されている。同様に、第2配線206とビット線 $\overline{B2}$ との間には第4のN型MOSトランジスタ232(第2のスイッチ)が接続

され、そのゲートは第2のワード線W2に接続されている。

【0061】

以上の構成により、第2のページアドレスデコーダ154Aからのアクティブ信号により第2のワード線W2が“H”となると、第3、第4のN型トランジスタ230、232がオンされ、メモリセルC10は第2の一对のビット線B2、/B2と接続される。このとき、第2のカラムアドレスデコーダ144Aからアクティブ信号により第2のカラムスイッチSW2がオンしていると、メモリセルC10に対する動画データのライトが可能となる。

【0062】

(表示データRAMに対する静止画、動画の書き込みについて)

MPU10は、図1または図3に示す動画表示領域22AのスタートおよびエンドアドレスSA、EAと対応する表示データRAM160のページアドレスおよびカラムアドレスを、動画情報から予め知得している。このためMPU10は、表示データRAM160のエリアのうち動画表示領域22Aと対応するエリアのカラムアドレスおよびページアドレスを、所定の書き込み周波数に従って繰り返し指定することが可能となる。この動画表示領域22Aと対応するエリアのカラムアドレスおよびページアドレスは、XドライバIC24の入出力バッファ102、MPU系制御回路130を経由して、第2のカラムアドレス制御回路144および第2のページアドレス制御回路154に入力される。最終的に、図5に示す第2のカラムアドレスデコーダ144Aおよび第2のページアドレスデコーダ154Aを介して、表示データRAM160のカラムおよびページアドレスが指定される。動画データについて、入力バッファ104および第2のバスライン120を経由させることで、静止画データのバスライン110とは異なる経路にてリアルタイムで伝送することができ、それにより動画データがリアルタイムで書き換えられることになる。

【0063】

一方MPU10は、表示データRAM160のエリアのうち静止画表示領域22Aと対応するエリアのカラムアドレスおよびページアドレスを指定して、操作入力部38からの情報入力があった時などの静止画データに変更が生じた時にの

み、所定の書き込み周波数にてデータ書き換えを実施する。

【0064】

このように、本実施の形態では、静止画と動画とを表示データRAM160に書き込むにあたって、アドレス指定およびデータ伝送をそれぞれ別ルートにて実施し、メモリセルはそれらのいずれのデータも書き込めるように構成されている。従って、静止画と動画とを同時にページ単位で異なるメモリセルに書き込むことが可能となり、どちらか一方のデータ書き込みを停止する必要はない。

【0065】

また、メモリセルは静止画および動画のいずれのデータも書き込めるように構成されているので、動画表示領域22Aを任意に変更することが可能となる。

【0066】

ここで、液晶パネル20の動画表示領域22Aに動画を表示するに際しては、例えば60Hzすなわち1秒間に60フレームを表示できる図7に示す読み出しクロックに従って、表示データRAM160から表示データが読み出される。

【0067】

一方、静止画データは、液晶表示のための駆動周波数より高い例えば90Hzすなわち1秒間に90フレームを表示できる静止画書き込みクロックに従って、表示データRAM160に表示データが書き込まれる。このように、表示読み出しレートより高い書き込みレートにて静止画の書き換えを実施しているため、操作入力部38での操作に応じたスクロール表示等に追従した表示が可能となる。

【0068】

これに対して動画データについては、人間の網膜の残像現象を利用するものであるので、携帯電話機などのように精密な動画表示が求められない場合には、動画のフレーム数を低く（表示に合わせて60フレーム全部を書き換える必要はない）しても支障はない。本実施の形態では、例えば20Hzすなわち1秒間に20フレームの動画データを書き込むことができる周波数で書き込みを行うこともできるし、60フレームの周波数にて $20/60 = 1/3$ のデータをMPU10からXドライバIC24に送出するだけでもよい。RAMを内蔵していないXドライバICを使用する場合には60フレーム分のデータを常に書き換える必要が

あるが、このように動画の書き込み周波数を低く（書き込みレートを低く）し、または書き換えられるデータ量を減少することで、静止画とは異なり表示データ RAM 1 6 0 の内容を常時書き換える必要がある動画データの書き込み回数が少なくなり、その分メモリセルにて消費される電力を少なくすることができる。

【 0 0 6 9 】

＜第 2 の実施の形態＞

図 8 は、本発明の第 2 の実施の形態に係る X ドライバ IC 3 0 0 の一部のブロック図である。なお、図 8 において図 4 と同一機能を有する回路については、図 4 と同一の符号を用いその詳細な説明を省略する。また、図 8 にて省略されている回路は、図 4 の回路と同一である。

【 0 0 7 0 】

図 8 に示す X ドライバ IC 3 0 0 が図 4 に示す X ドライバ IC 2 4 と相違する点は、まず第 1、第 2 の表示データ RAM 3 1 0、3 2 0 を設けた点である。第 1 の表示データ RAM 3 1 0 には静止画データが記憶され、第 2 の表示データ RAM 3 2 0 には動画データが記憶される。なお、第 1、第 2 の RAM 3 1 0、3 2 0 は、図 6 に示す第 2 のワード線 W 2 と、第 2 のビット線対 B 2、／B 2 と、第 2 のカラムスイッチ SW 2 と、第 2 のカラムアドレスデコーダ 1 4 4 A と、第 2 のページアドレスデコーダ 1 5 4 A は不要であり、従来構成のメモリセルを用いることができる。

【 0 0 7 1 】

図 9 は、第 1 の表示データ RAM 3 1 0 の静止画表示領域 3 1 0、第 2 の表示データ RAM 3 2 0 の動画記憶領域 3 2 0 A、液晶パネル 2 2 の動画表示領域 2 2 A および静止画表示領域 2 2 B の関係を示している。

【 0 0 7 2 】

第 1、第 2 の表示データ RAM 3 1 0、3 2 0 は液晶パネル 2 2 の一画面の全画素と対応する記憶領域を有する。これにより、図 9 に示す静止画記憶領域 3 1 0 A および動画記憶領域 3 2 0 A は任意に変更可能となる。なお、図 9 では説明の便宜上、第 1、第 2 の表示データ RAM 3 1 0、3 2 0 の各メモリ空間と、液晶パネル 2 2 の表示空間とを同一の大きさに描いている。

【0073】

例えば1秒間に20枚のフレームレートにて第2の表示データRAM320の動画記憶領域320Aにデータが書き込まれ、例えば1秒間に60枚のフレームレートにてデータが読み出されて液晶パネル22の動画表示領域22Aに表示される。一方、例えば1秒間に90枚のフレームレートにて第1の表示データRAM310の静止画記憶領域310Aにデータが書き込まれ、例えば1秒間に60枚のフレームレートにてデータが読み出されて液晶パネル22の静止画表示領域22Bに表示される。

【0074】

このように、第2の実施の形態では第1の実施の形態とは異なり第1、第2の表示データRAM310、320を設けている。このため、第1の表示データRAM310に対応させて、第1のカラムアドレス制御回路142、第1のI/Oバッファ312、第1のページアドレス制御回路152および第1の表示アドレス制御回路330を設けている。同様に、第2の表示データRAM320に対応させて、第2のカラムアドレス制御回路144、第2のI/Oバッファ322、第1のページアドレス制御回路154および第2の表示アドレス制御回路340を設けている。

【0075】

さらに、第1、第2の表示データRAM310、320からの表示データを、MPU系制御回路130からの出力に基づいて選択してPWMデコーダ回路180に出力するセレクタ350を設けている。

【0076】

本発明の第2の実施の形態においても、静止画、動画は第1、第2のバスライン110、120により別系統にて伝送される。また、第1のRAM310、第2のRAM320にデータを書き込むためのカラムおよびページアドレスも、静止画と動画とで別系統で指定される。このため、動画データを第2のRAM320に書き換えながら、同時に静止画データを第1のRAM310にて書き換えることができ、動画データの書き込みの終了を待って静止画データを書き込む必要がない。

【 0 0 7 7 】

なお、本発明は上述した実施の形態に限定されるものではなく、本発明の要旨の範囲内で種々の変形実施が可能である。

【図面の簡単な説明】

【図 1】

本発明が適用される電子機器の概略ブロック図である。

【図 2】

図 1 の電子機器の一例である携帯電話機の概略ブロック図である。

【図 3】

図 1 に示す液晶パネルの表示例とは異なる表示例を示す概略説明図である。

【図 4】

図 1 に示す X ドライバ I C の概略ブロック図である。

【図 5】

図 4 に示す表示データ R A M 及びその周辺回路の概略説明図である。

【図 6】

図 5 に示す表示データ R A M 内のメモリセルの回路図である。

【図 7】

静止画及び動画の書き込みクロックと表示用読み出しクロックとを示す波形図である。

【図 8】

本発明の第 2 の実施の形態に係る X ドライバ I C の概略ブロック図である。

【図 9】

図 8 に示す第 1 , 第 2 の表示データ R A M の記憶領域と液晶パネルの表示領域との関係を示す概略説明図である。

【符号の説明】

1 0 M P U

1 2 C P U

1 4 静止画用メモリ

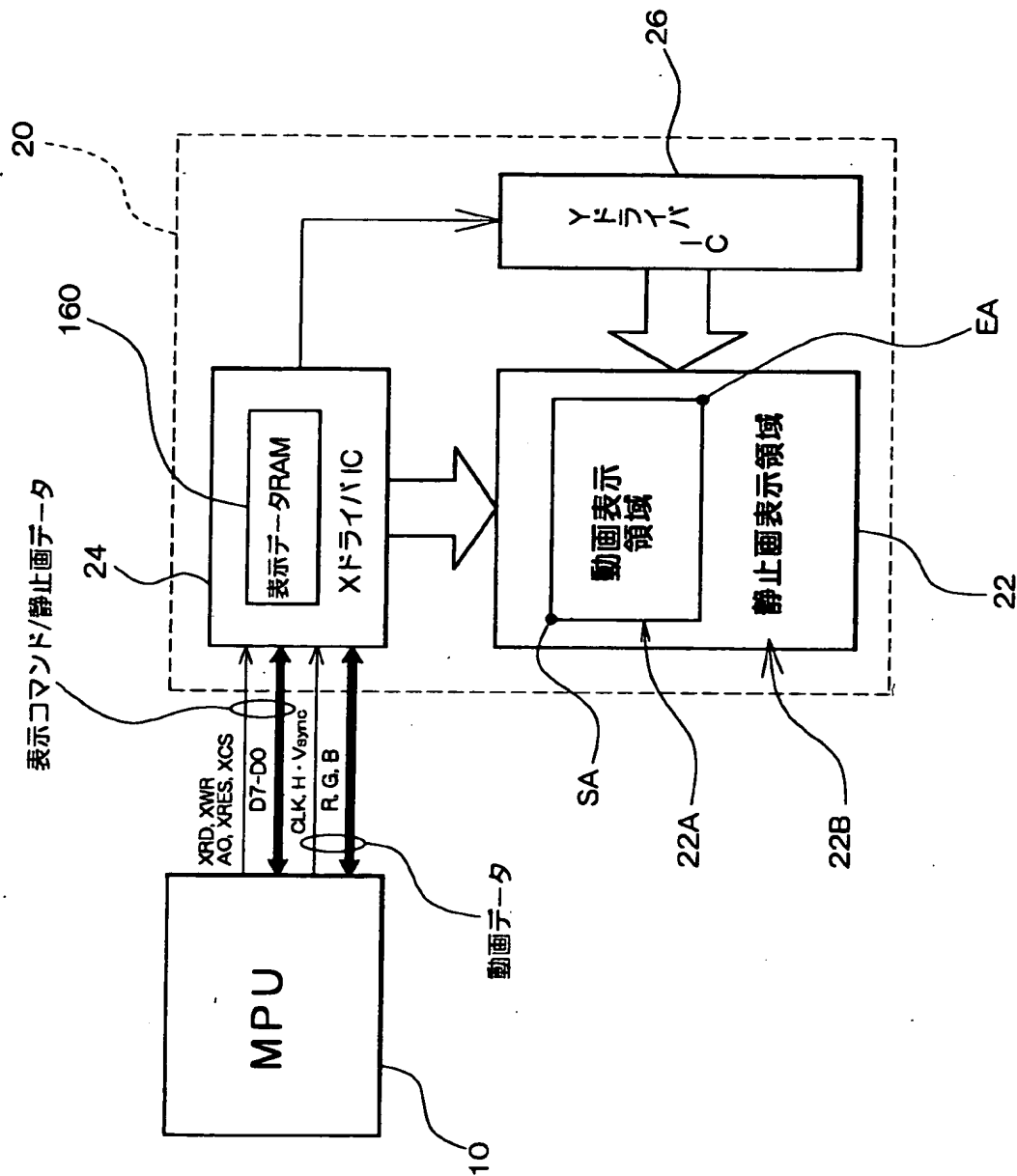
1 6 D S P (デジタル・シグナル・プロセッサ)

- 1 8 動画用メモリ
- 2 0 表示ユニット
- 2 2 液晶パネル
- 2 2 A 動画表示領域
- 2 2 B 静止画表示領域
- 2 4 Xドライバ I C
- 2 6 Yドライバ I C
- 3 0 携帯電話機
- 3 2 アンテナ
- 3 4 変復調回路
- 3 6 デジタルビデオカメラ
- 3 8 操作入力部
- 1 0 0 M P U インターフェース
- 1 0 2 入出力バッファ
- 1 0 4 入力バッファ
- 1 1 0 第 1 のバスライン
- 1 1 2 バスホールダ
- 1 1 4 コマンドデコーダ
- 1 1 6 ステータス設定回路
- 1 2 0 第 2 のバスライン
- 1 2 2 バスホールダ
- 1 3 0 M P U 系制御回路
- 1 4 0 カラムアドレス制御回路
- 1 4 2 第 1 のカラムアドレス制御回路
- 1 4 2 A 第 1 のカラムアドレスデコーダ
- 1 4 4 第 2 のカラムアドレス制御回路
- 1 4 4 A 第 2 のカラムアドレスデコーダ
- 1 5 0 ページアドレス制御回路
- 1 5 2 第 1 のページアドレス制御回路

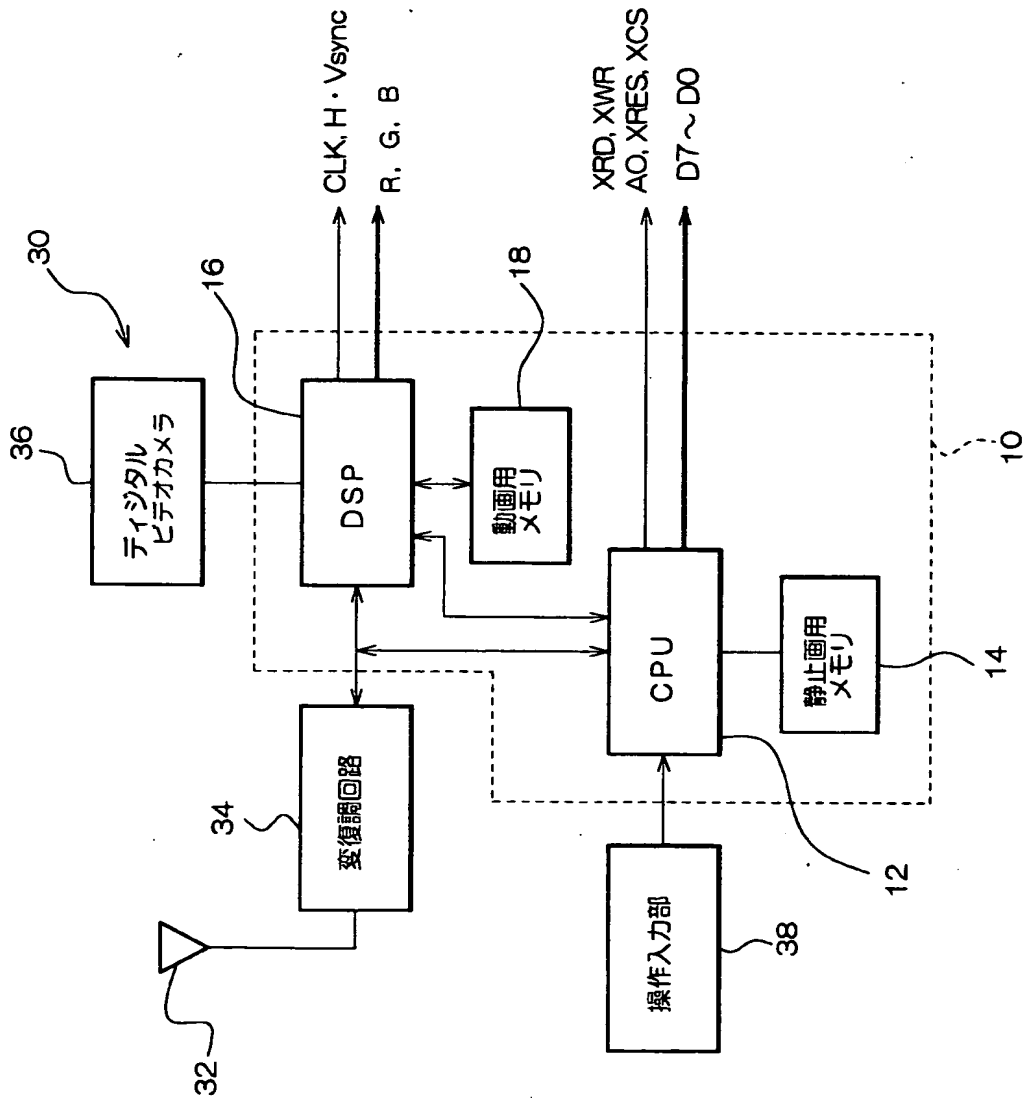
1 5 2 A 第 1 のページアドレスデコーダ
 1 5 4 第 2 のページアドレス制御回路
 1 5 4 A 第 2 のページアドレスデコーダ
 1 6 0 表示データ RAM
 1 6 2 I/Oバッファ
 1 7 0 ドライバ系制御回路
 1 7 2 Xドライバ系制御回路
 1 7 4 Yドライバ系制御回路
 1 7 6 発振回路
 1 7 8 電源制御回路
 1 8 0 PWMデコーダ回路
 1 9 0 液晶駆動回路
 2 0 0 メモリ素子
 2 0 1, 2 0 2 CMOSインバータ
 2 0 4, 2 0 6 第 1, 第 2 の配線
 2 1 0, 2 1 2 第 1, 第 2 のN型MOSトランジスタ (第 1 のスイッチ)
 2 2 0, 2 2 2 第 1, 第 2 のP型MOSトランジスタ
 2 3 0, 2 3 2 第 3, 第 4 のN型MOSトランジスタ (第 2 のスイッチ)
 3 0 0 XドライバIC
 3 1 0, 3 2 0 第 1, 第 2 の表示データ RAM
 3 1 2, 3 2 2 I/Oバッファ
 3 3 0, 3 4 0 第 1, 第 2 の表示アドレス制御回路
 3 5 0 セレクタ
 W 1 ~ W 3 第 1 ~ 第 3 のワード線
 B 1, / B 1 第 1 のビット線対
 B 2, / B 2 第 2 のビット線対
 C 1 0, C 1 1, C 2 0, C 2 1 メモリセル

【書類名】 図面

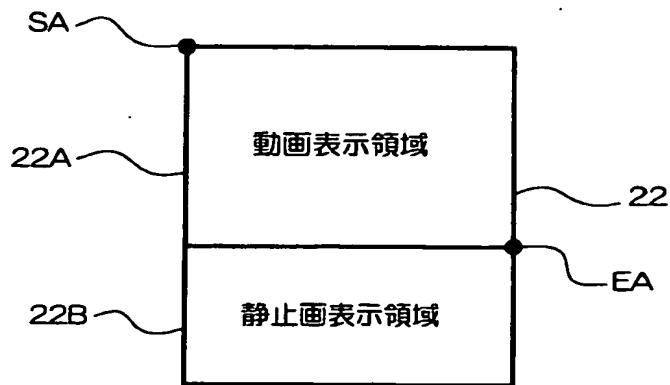
【図 1】



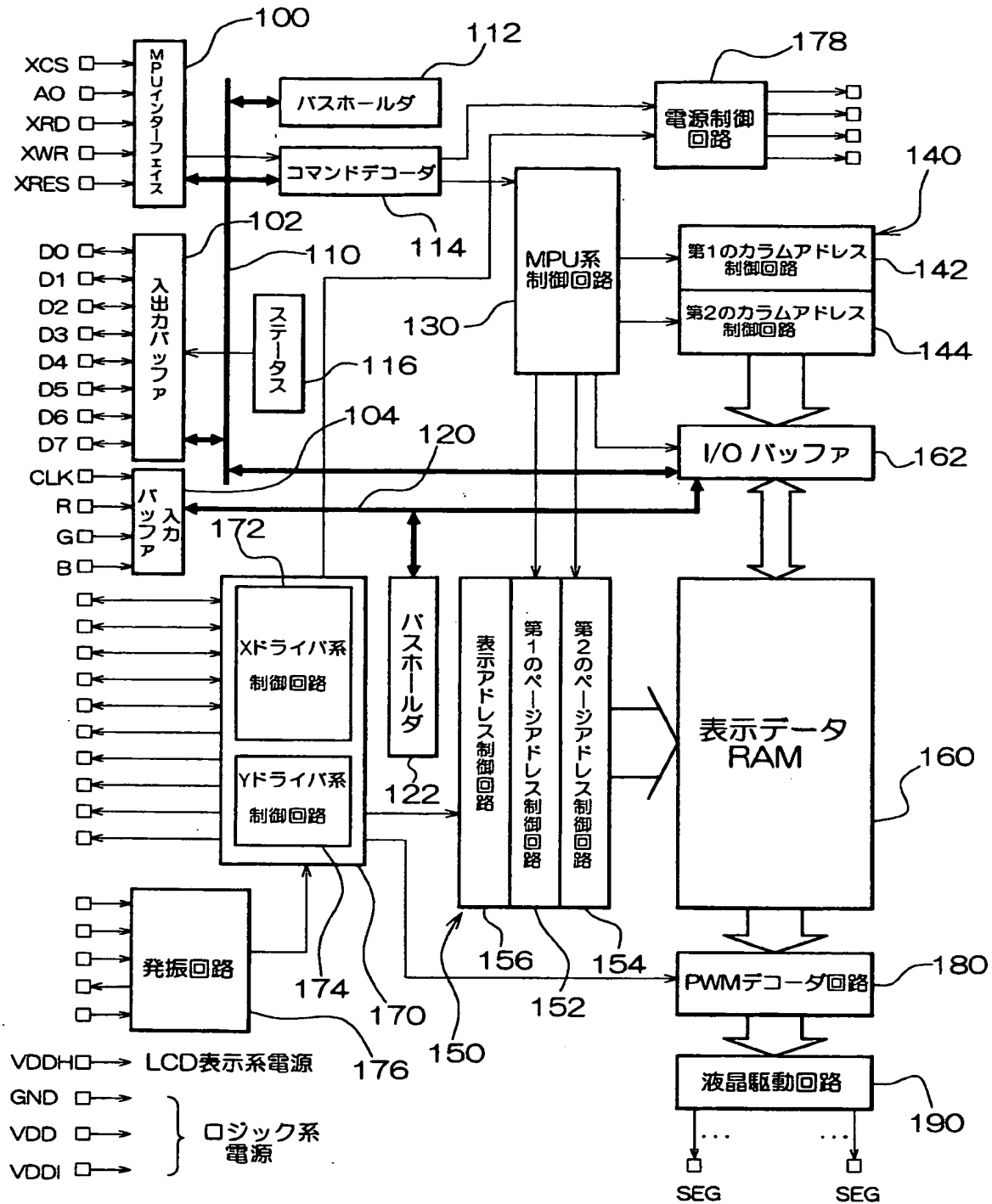
【図 2】



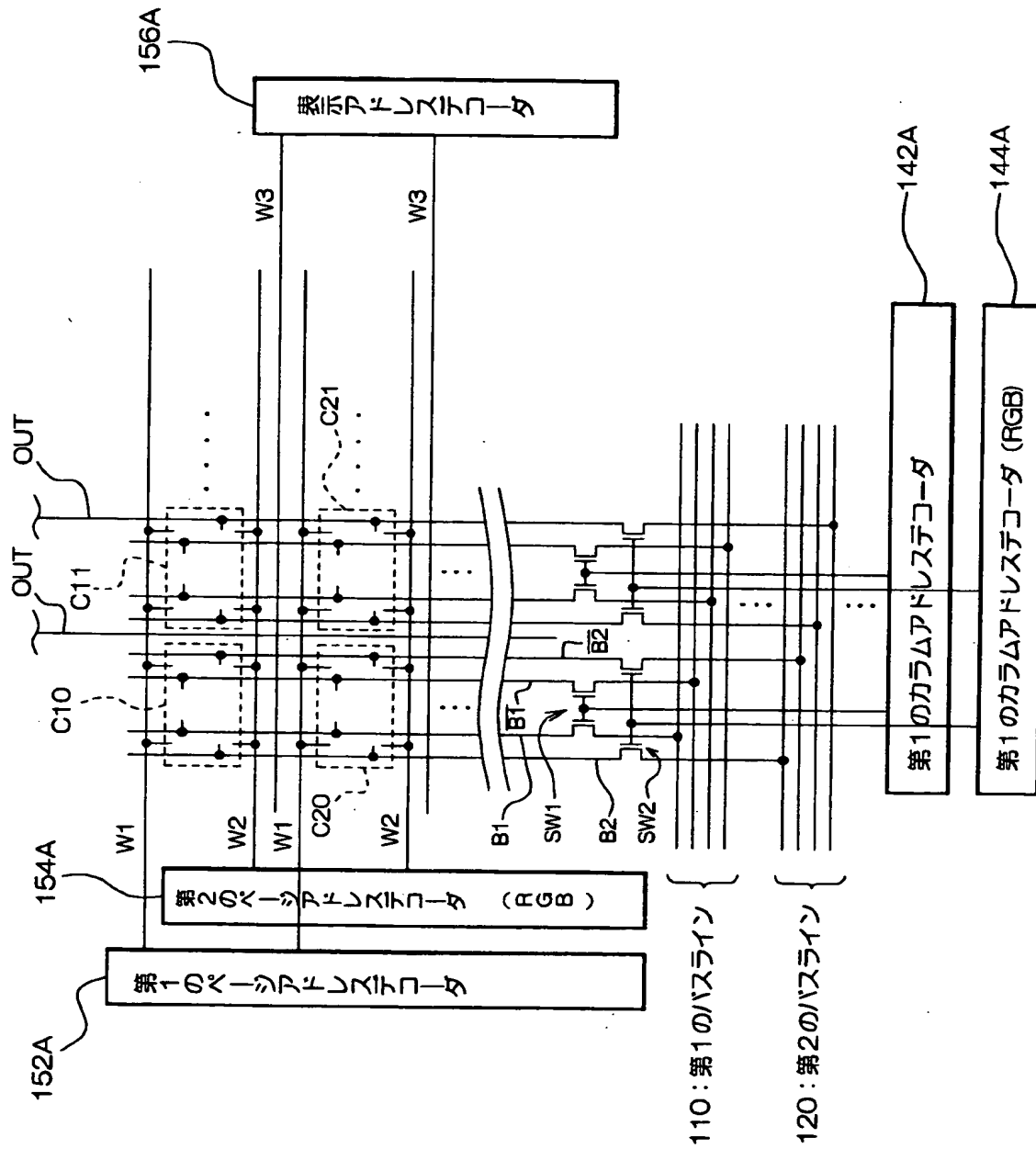
【図 3】



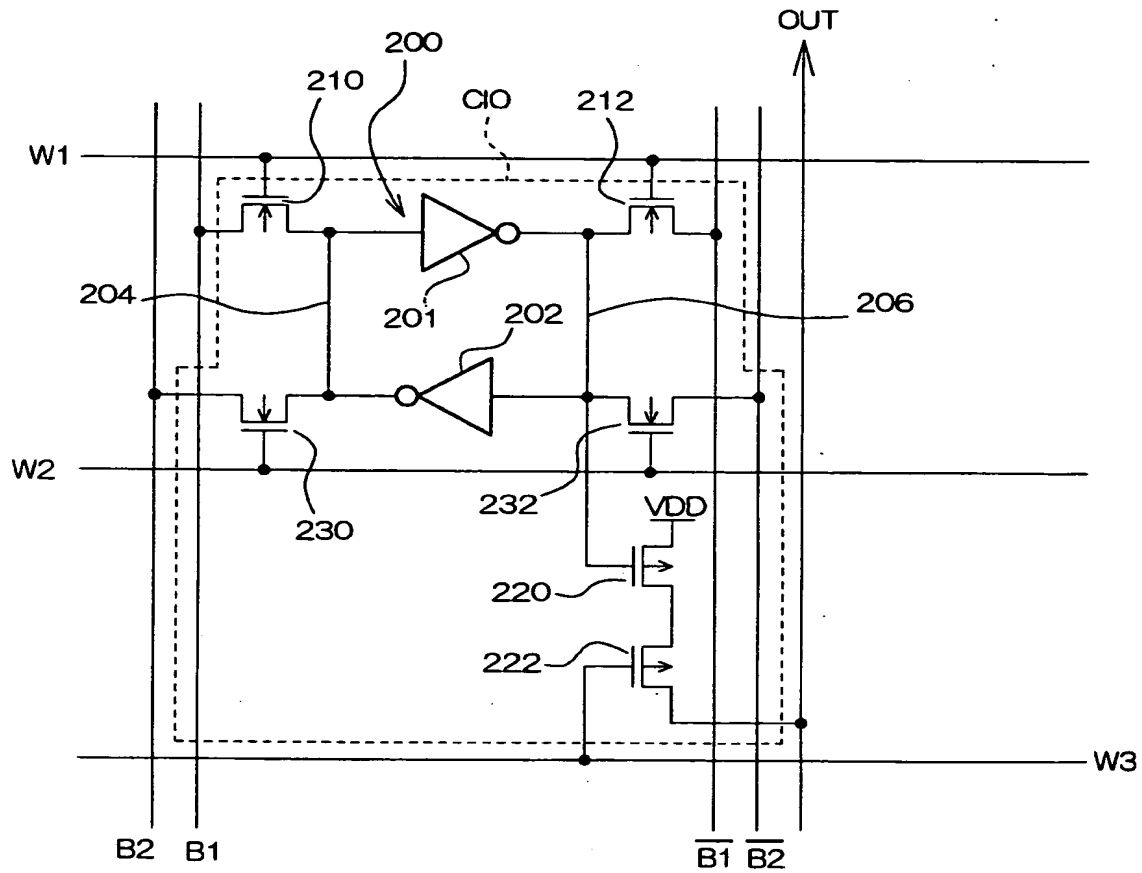
【図 4】



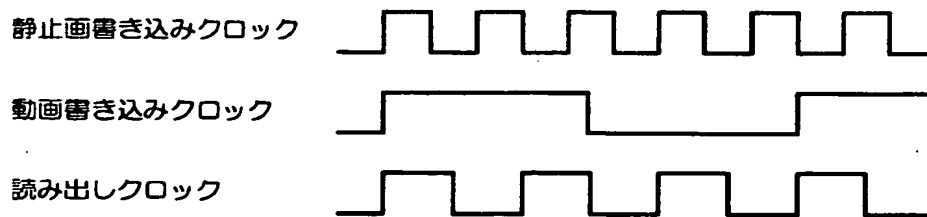
【図 5】



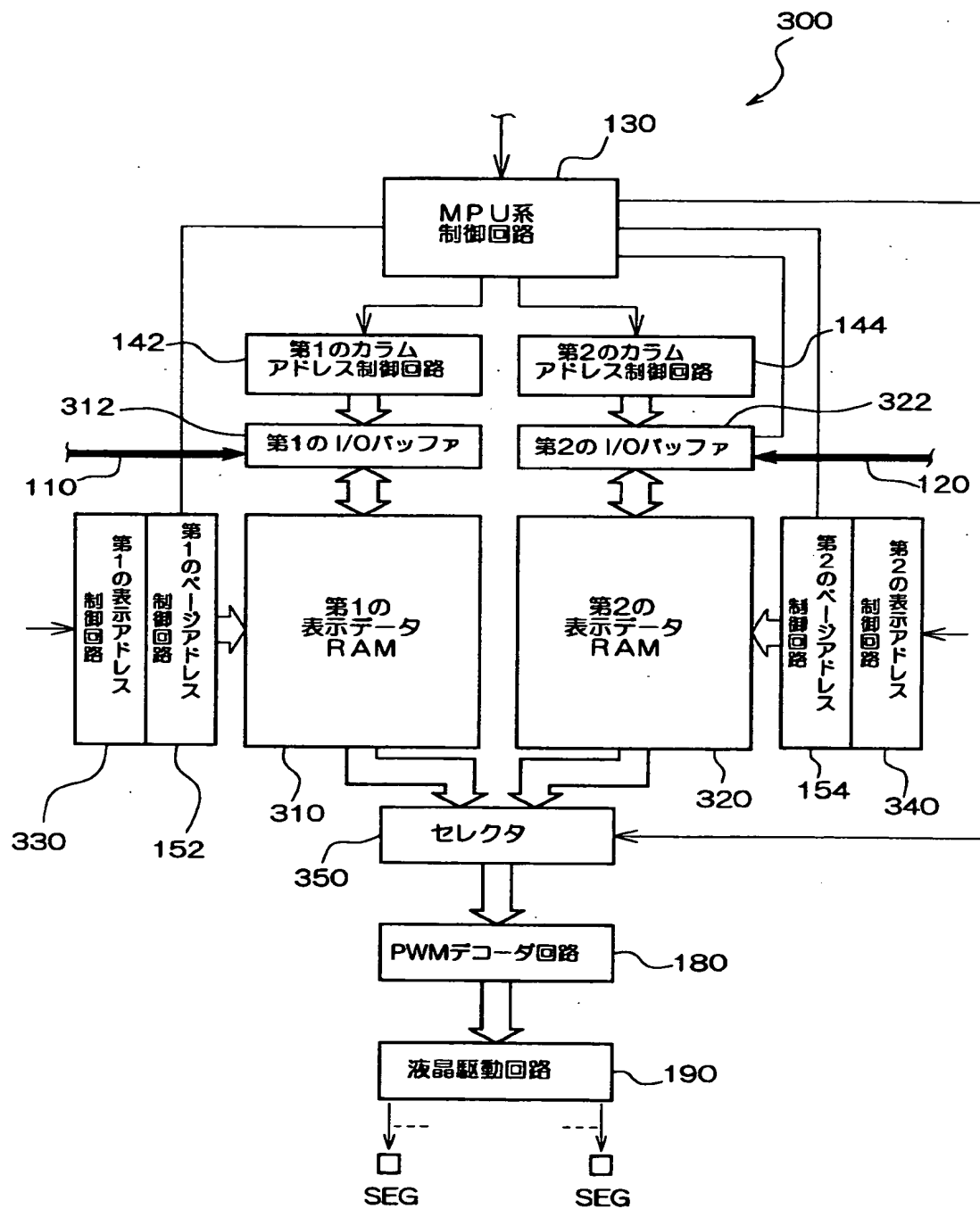
【図 6】



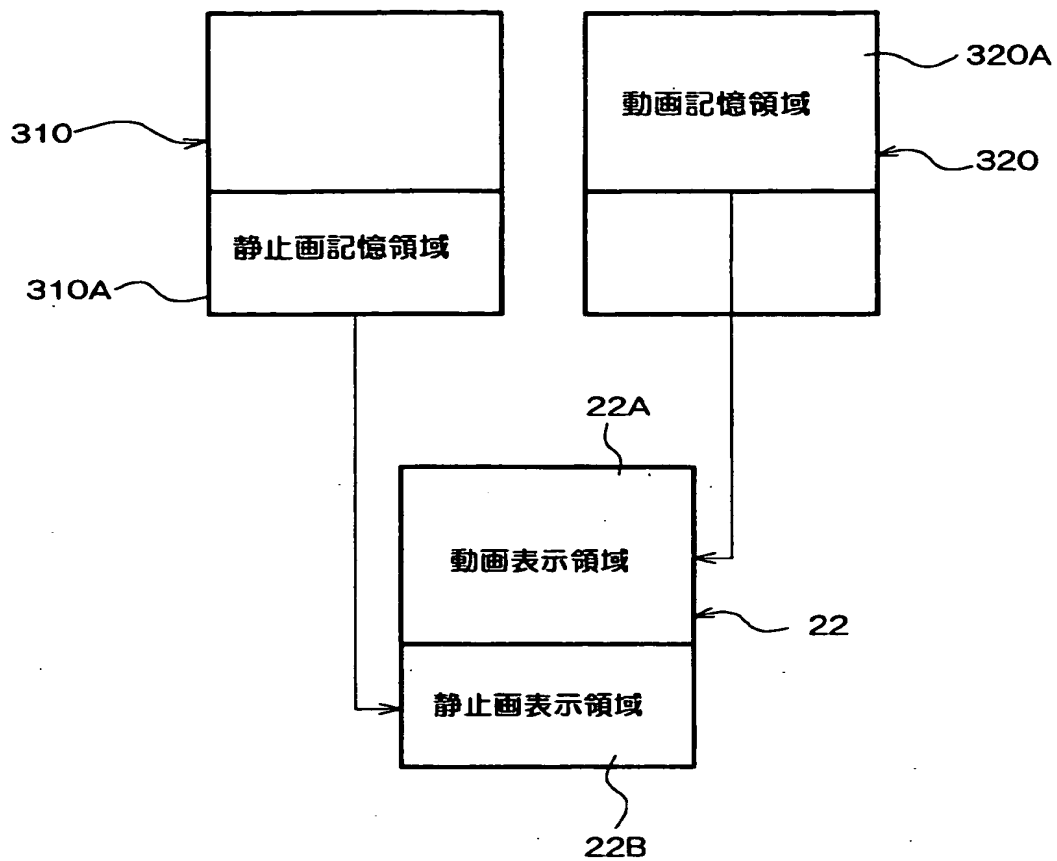
【図 7】



【図 8】



【図 9】



【書類名】 要約書

【要約】

【課題】 R A M への動画のデータの書き込みと同時に静止画データを書き込むことができる R A M 内蔵ドライバを提供すること。

【解決手段】 R A M 内蔵 X ドライバ I C 2 4 は、 M P U 1 0 からの静止画データ、動画データを伝送する第 1, 第 2 のバスライン 1 1 0, 1 2 0 と、静止画データおよび動画データを記憶する R A M 1 6 0 と、静止画データを書き込むための R A M のカラム・ページアドレスを指定する第 1 のカラム・ページアドレス制御回路 1 4 2, 1 5 2 と、動画データを書き込むための R A M のカラム・ページアドレスを指定する第 2 のカラム・ページアドレス制御回路 1 4 4, 1 5 4 と、 M P U からのコマンドに基づいて、各アドレス制御回路を制御する M P U 系制御回路 1 3 0 と、 R A M に記憶された静止画データおよび動画データを、表示データとして読み出し制御する表示アドレス制御回路 1 5 6 と、表示アドレス制御回路を制御するドライバ系制御回路 1 7 0 とを有する。

【選択図】 図 4

出 願 人 履 歴 情 報

識別番号 [000002369]

1. 変更年月日 1990年 8月20日
[変更理由] 新規登録
住 所 東京都新宿区西新宿2丁目4番1号
氏 名 セイコーエプソン株式会社